

BEST AVAILABLE COPY

10 / 53883

PCT/JP2004/004341

日本国特許庁  
JAPAN PATENT OFFICE

08 JUN 2005

26.3.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 3月31日

出願番号  
Application Number: 特願2003-094813  
[ST. 10/C]: [JP2003-094813]

出願人  
Applicant(s): キヤノン株式会社

REC'D. 21 MAY 2004

WIPO PCT

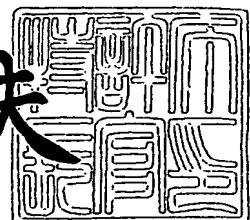
PRIORITY  
DOCUMENT

SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH RULE 17.1(a) OR (b)

2004年 4月30日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3037214

【書類名】 特許願

【整理番号】 254023

【提出日】 平成15年 3月31日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 G06F 3/00  
G06F 1/18

【発明の名称】 不正アクセス防止方法

【請求項の数】 1

【発明者】

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社  
内

【氏名】 平井 匡彦

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号

【氏名又は名称】 キャノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100090538

【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号キャノン株式会社  
内

【弁理士】

【氏名又は名称】 西山 恵三

【電話番号】 03-3758-2111

## 【選任した代理人】

【識別番号】 100096965

【住所又は居所】 東京都大田区下丸子3丁目30番2号キャノン株式会  
社内

## 【弁理士】

【氏名又は名称】 内尾 裕一

【電話番号】 03-3758-2111

## 【手数料の表示】

【予納台帳番号】 011224

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908388

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 不正アクセス防止方法

【特許請求の範囲】

【請求項 1】 集積回路内のインターフェイス部分または周辺回路部分において、不可逆的に高インピーダンス状態と低インピーダンス状態を選択できる抵抗素子を 1 個または複数個備え、あらかじめ集積回路内に設定された照合情報および規格と異なる信号を少なくとも 1 回受けたときに前記抵抗素子のインピーダンスを初期状態から変化させ、前記集積回路への一部または全部のアクセスを不可逆的に停止させることを特徴とする集積回路の不正アクセス防止方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は集積回路の不正アクセス防止方法に関する。

【0002】

【従来の技術】

近年、半導体集積回路を用いた情報タグ、ICカードが交通、クレジットカード、プリペイドカードなどが市場に投入され、徐々に市場拡大している。このような情報タグ、カードを一般にスマートカードと称することが多く、磁気ストライプカードなどに比べ、偽造カードの製造が困難であるとされている。しかし、カード内部のキーワードや論理回路構造が解析され、偽造、改ざん、成りすましの被害が絶えないのも事実である。これに対抗して、スマートカードの安全性を高めるために、データ幅を大きくしたり、ロジックを複雑にしたりする対策がなれているが、いずれも格段に高コストになり、低価格への圧力が強いスマートカード市場ではおのずと限界があるのが実情である。

【0003】

また、スマートカードに限らず、秘匿性の高い暗号技術は、128ビットの鍵を持ち、大規模なマイクロプロセッサを備えたシステムになっており、今後ますます大規模化、複雑化してゆくと考えられる。

【0004】

**【発明が解決しようとする課題】**

本発明は、偽造や成りすまし、不正アクセスに強い集積回路は、複雑で高価であるという、従来の課題を解決しようとするものである。したがって、本発明の目的は、簡単な構造でかつ製造が容易で、安価な不正アクセス防止方法を提供することにある。

**【0005】****【課題を解決するための手段】**

よって本発明は、

集積回路内のインターフェイス部分または周辺回路部分において、不可逆的に高インピーダンス状態と低インピーダンス状態を選択できる抵抗素子を1個または複数個備え、あらかじめ集積回路内に設定された照合情報および規格と異なる信号を少なくとも1回受けたときに前記抵抗素子のインピーダンスを初期状態から変化させ、前記集積回路への一部または全部のアクセスを不可逆的に停止させることを特徴とする集積回路の不正アクセス防止方法を提供する。

**【0006】****【発明の実施の形態】**

本発明は、

(1) ; 集積回路内のインターフェイス部分または周辺回路部分において、不可逆的に高インピーダンス状態と低インピーダンス状態を選択できる抵抗素子を1個または複数個備え、あらかじめ集積回路内に設定された照合情報および規格と異なる信号を少なくとも1回受けたときに前記抵抗素子のインピーダンスを初期状態から変化させ、前記集積回路への一部または全部のアクセスを不可逆的に停止させることを特徴とする集積回路の不正アクセス防止方法に係る。

また(2) ; 前記抵抗素子が有機物導電体を含むことを特徴とする、(1)記述される集積回路の不正アクセス防止方法も好ましい。

また(3) ; 前記抵抗素子がキャパシタであることを特徴とする、(1)に記述される集積回路の不正アクセス防止方法も好ましい。

また(4) ; 前記抵抗素子のインピーダンスを変化させる手段として、通常動作時より高い電圧を印加することを特徴とする、(1)に記述される集積回路の不

正アクセス防止方法も好ましい。

また(5) ; 前記抵抗素子のインピーダンスを変化させる手段として、通常動作時より大きな電流を印加することを特徴とする、(1) に記述される集積回路の不正アクセス防止方法も好ましい。

また(6) ; 前記あらかじめ集積回路内に設定された照合情報および規格が、キーワードまたは論理であることを特徴とする、(1) に記述される集積回路の不正アクセス防止方法も好ましい。

また(7) ; 前記あらかじめ集積回路内に設定された照合情報および規格が、仕様と異なるクロック周波数であることを特徴とする、(1) に記述される集積回路および不正アクセス防止方法も好ましい。

また(8) ; 前記あらかじめ集積回路内に設定された照合情報および規格が、仕様と異なる電源電圧であることを特徴とする、(1) に記述される集積回路および不正アクセス防止方法も好ましい。

また(9) ; 前記集積回路が有機物半導体を含むことを特徴とする(1) に記述される集積回路の不正アクセス防止方法も好ましい。

また(10) ; 前記不正アクセス防止方法を使用したICカードも好ましい。

#### 【0007】

本発明の特徴は、集積回路内のインターフェイス部分または周辺回路部分において、不可逆的に高インピーダンス状態と低インピーダンス状態を選択できる抵抗素子を1個または複数個備え、あらかじめ集積回路内に設定された照合情報および規格と異なるデータを少なくとも1回受けたときに前記抵抗素子のインピーダンスを初期状態から変化させ、前記集積回路への一部または全部のアクセスを不可逆的に停止させることにある。前記インターフェイス部分とは、前記集積回路に信号を入力、出力する回路部分のことである。また、前記周辺回路とは、メモリアレイ、マイクロプロセッサコア以外の回路部分のことである。本発明は、前記抵抗素子には、前記高または低インピーダンス状態、すなわち抵抗値が高い常態と低い状態の2つがあり、このうちどちらかが初期状態であり、これを変化させることができる。前記あらかじめ集積回路内に設定された照合情報および規格と異なる信号とは、キーワード、論理、電源電圧、駆動周波数(クロック周波

数) などであり、これらが故意に入力されることは、悪意の(チップ解析により、駆動条件やキーワードなどを盗むことを目的とするような)不正アクセスがなされたと判断される。

【0008】

前記抵抗素子が有機物導電体を含むものであってもよい。

【0009】

前記抵抗素子がキャパシタ構造であってもよい。

【0010】

前記抵抗素子のインピーダンスを変化させる手段として、通常動作時より高い電圧または大きな電流を印加してもよい。

【0011】

前記あらかじめ集積回路内に設定された照合情報および規格が、キーワードまたは論理、仕様と異なるクロック周波数、仕様と異なる電源電圧であってもよい。

【0012】

前記集積回路が有機物半導体を含むものであってもよい。

【0013】

これらの方法により、集積回路が不正アクセスによる解析を受けにくくなり、安全性が向上する。したがって、ローコストで安全性の高い前記不正アクセス防止方法を使用したICカードなどを実現することができる。

【0014】

以下、本発明の実施の形態について図面を参照して説明する。

【0015】

図1、図2に示す本実施形態の集積回路および不正アクセス防止方法について説明する。

【0016】

図1は、集積回路のインターフェイス部分の一例を示したものである。入力端子には、電源電圧と信号パルスを重ねた信号を入力する。信号パルスは、16ビットのキーワード信号と、16ビットの計算ロジック用データからなる。インタ

ーフェイス回路には、電源電圧と信号パルスを分離する回路が含まれ、キーワード信号は、キーワード照合回路に送られ、ロジック用データはロジック回路に送られる。不可逆的に高インピーダンス状態と低インピーダンス状態を選択できる抵抗素子として、一例として初期状態が低インピーダンス状態にあるものを用いる。これをヒューズ素子と称し、インターフェイス回路入力端子部分に取り付けられる。

#### 【0017】

図2は、ヒューズ素子の電気特性を示したものである。1回目の電圧印加では、4V付近で高インピーダンス状態に変移し、2回目の電圧印加では高インピーダンス状態を維持し、以後低インピーダンス状態に戻ることはない。

#### 【0018】

図1の電源電圧は、5V以上である。信号待ち受け状態では、トランジスタ1 (Tr1) がON、トランジスタ2 (Tr2) はOFF状態である。16ビットのキーワード信号が、キーワード照合回路によって、あらかじめ設定されていたキーワード情報と照合される。キーワードが誤っていたとき、NG信号を出力するが、この例では、3回連続誤ったキーワードを入力されると、不正アクセスと判断する。その場合、Tr1がOFF、Tr2がON状態になり、電源電圧がヒューズ素子に直接印加され、ヒューズ素子は、高インピーダンス状態に不可逆的に変移する。この結果、この集積回路は、外部からの電源電圧、信号を受け取ることが不可能となり、アクセスできなくなる。

#### 【0019】

##### (第1の実施形態)

図1におけるヒューズ素子として、PEDOT/PSS (poly(ethylenedioxythiophene)/polystyrenesulphonic acid) をインクジェット法を用いて、幅50ミクロンの線状に形成し、駆動実験を行なった。インターフェイス回路部分は、Tr1, Tr2トランジスタに関する部分のみ、有機半導体を用いたTFET (Thin Film Transistor) を用いた。基板は、ポリイミドフィルムを用いた。TFETのゲート長は50ミクロン、ゲート幅は10mmであった。

#### 【0020】



不正アクセスを受けたと想定し、Tr 1をOFF状態、Tr 2をON状態としたところ、ヒューズ素子は高インピーダンス状態となり、アクセスは受け入れられない状態となった。

#### 【0021】

##### (第2の実施形態)

図3は、第1の実施形態と同様に集積回路のインターフェイス部分の一例を示したものである。不可逆的に高インピーダンス状態と低インピーダンス状態を選択できる抵抗素子として、一例として初期状態が高インピーダンス状態にあるものを用いる。これをアンチヒューズ素子と称し、インターフェイス回路入力部分に取り付けられる。

#### 【0022】

図4は、アンチヒューズ素子の電気特性を示したものである。1回目の電圧印加では、3.7V付近で低インピーダンス状態に変移し、2回目の電圧印加では低インピーダンス状態を維持し、以後高インピーダンス状態に戻ることはない。

#### 【0023】

図1の電源電圧は、5V程度である。信号待ち受け状態では、トランジスタ1 (Tr 1)、トランジスタ2 (Tr 2)ともON状態である。16ビットのキーワード信号が、キーワード照合回路によって、あらかじめ設定されていたキーワード情報と照合される。キーワードが誤っていたとき、NG信号を出力するが、この例では、3回連続誤ったキーワードを入力されると、不正アクセスと判断する。その場合、Tr 1、Tr 2ともOFF状態になり、電圧昇圧器が起動し、10V程度の高電圧がアンチヒューズ素子に直接印加され、アンチヒューズ素子は、低インピーダンス状態に不可逆的に変移する。この結果、この集積回路は、外部からの電源電圧、信号を受け取ることが不可能となり、アクセスできなくなる。

#### 【0024】

本実施形態では、アンチヒューズ素子として、高抵抗のシリコン酸化膜を金薄膜で挟んだ構造(キャパシタ構造)をもった素子を用いた。

#### 【0025】

**【発明の効果】**

本発明によると、簡単な方法で、偽造や成りすまし、不正アクセスに強い集積回路を構成することが可能になる。

**【0026】**

また、さらに安全性の高い IC カードを実現することができる。

**【図面の簡単な説明】****【図 1】**

本発明の回路の概念を示す概略図である。

**【図 2】**

第 1 の実施形態の抵抗素子の電気特性を示すグラフである。

**【図 3】**

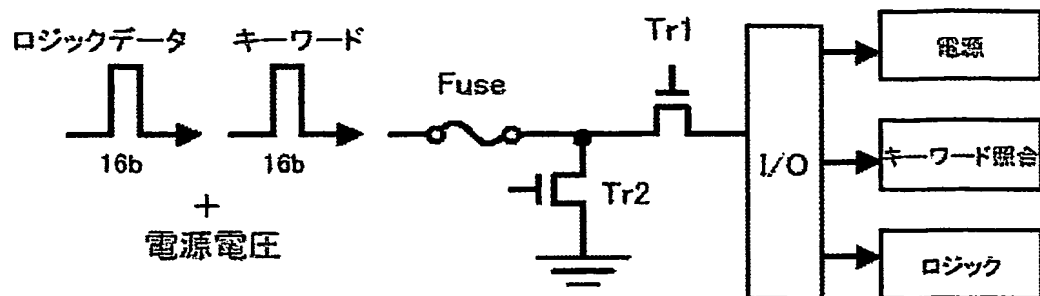
第 2 の実施形態の回路の概念を示す概略図である。

**【図 4】**

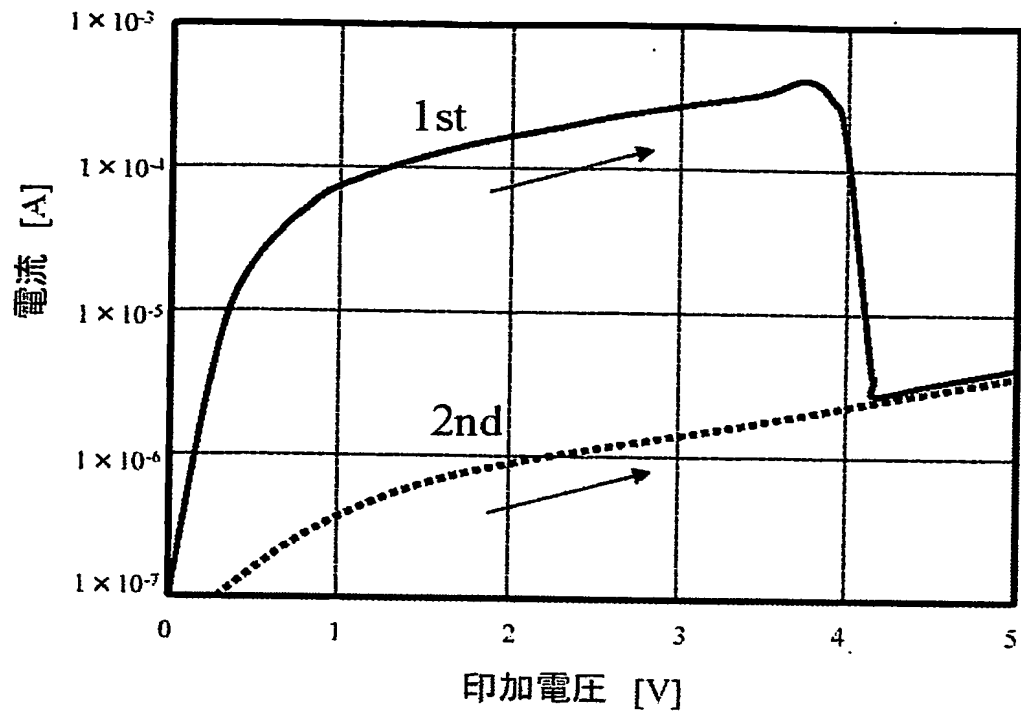
第 2 の実施形態の抵抗素子の電気特性を示すグラフである。

【書類名】 図面

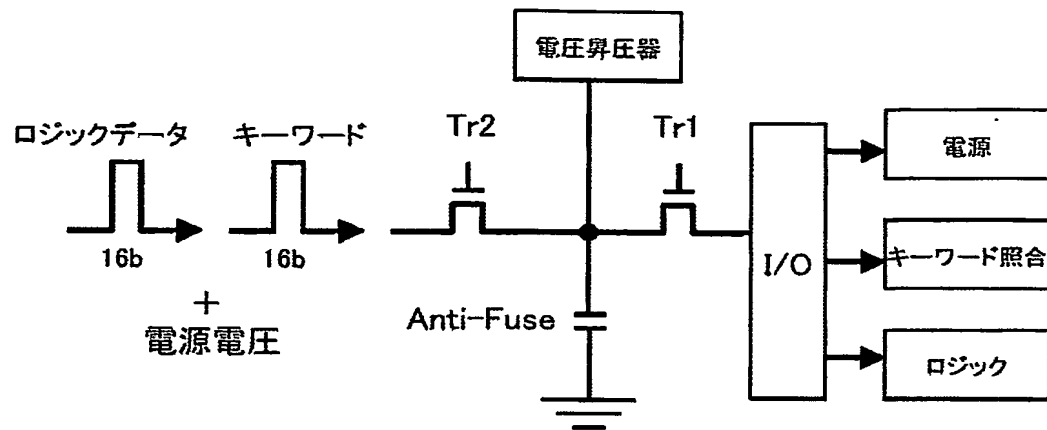
【図 1】



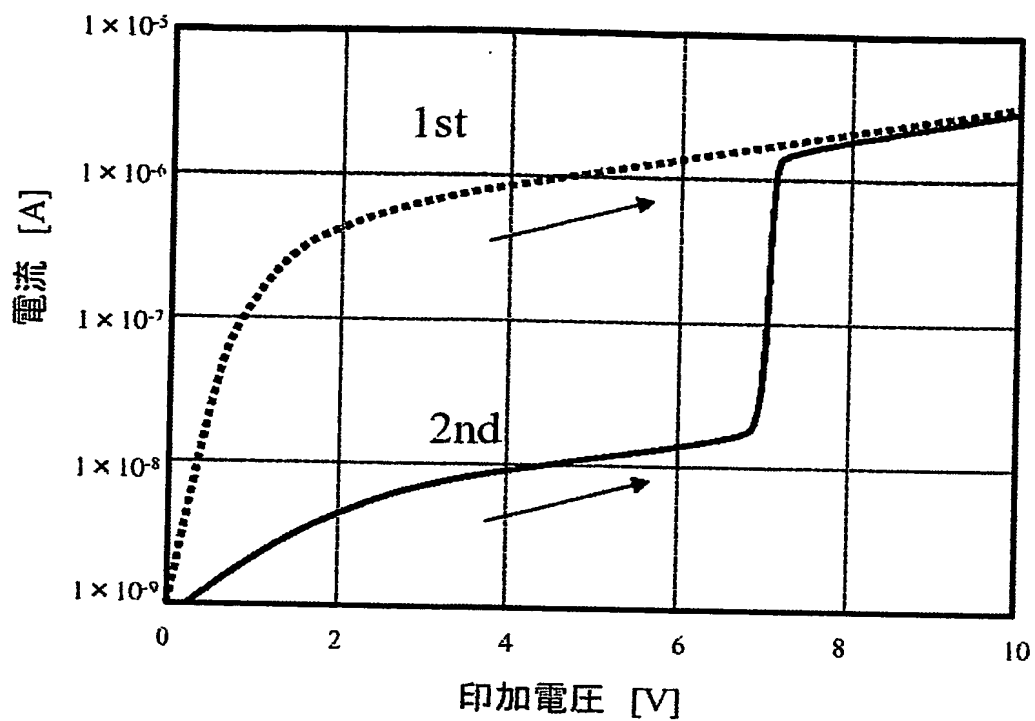
【図 2】



【図 3】



【図 4】



【書類名】 要約書

【要約】

【課題】 簡単な構造でかつ製造が容易で、安価な不正アクセス防止方法を提供する。

【解決手段】 集積回路内のインターフェイス部分または周辺回路部分に不可逆的に高インピーダンス状態と低インピーダンス状態を選択できる抵抗素子を少なくとも1個以上備え、あらかじめ集積回路内に設定された照合情報および規格と異なる信号を少なくとも1回受けたときに前記抵抗素子のインピーダンスを初期状態から変化させ、前記集積回路への一部または全部のアクセスを不可逆的に停止させる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000001007]

1. 変更年月日

1990年 8月30日

[変更理由]

新規登録

住 所

東京都大田区下丸子3丁目30番2号

氏 名

キャノン株式会社



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**